

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月19日
Date of Application:

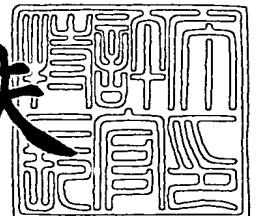
出願番号 特願2003-076640
Application Number:
[ST. 10/C]: [JP 2003-076640]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3001539

【書類名】 特許願

【整理番号】 P007037

【提出日】 平成15年 3月19日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 平形 吉晴

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 根本 幸恵

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ及びその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に第 1 の導電膜、第 1 の絶縁膜及び第 2 の導電膜とが順に積層される積層物と、

前記積層物の側面に接して形成される半導体膜と、

第 2 の絶縁膜を介して前記半導体膜を覆設する第 3 の導電膜を有し、

前記第 1 の導電膜及び第 2 の導電膜は、ソース電極及びドレイン電極であって、

前記半導体膜において、前記第 1 の絶縁膜及び前記第 3 の導電膜に接する領域はチャンネル形成領域であり、

前記第 3 の導電膜は、ゲート電極であることを特徴とする薄膜トランジスタ。

【請求項 2】

請求項 1 において、前記第 3 の導電膜は、少なくとも前記第 1 の絶縁膜に接する前記半導体膜を覆設していることを特徴とする薄膜トランジスタ。

【請求項 3】

請求項 1 において、前記第 3 の導電膜は、前記第 1 の絶縁膜に接する前記半導体膜の一部を覆設していることを特徴とする薄膜トランジスタ。

【請求項 4】

絶縁表面上において導電膜と絶縁膜とが交互に形成される積層物と、

該積層物の側面に形成される半導体膜と、

第 2 の絶縁膜を介して前記半導体膜を覆設する第 2 の導電膜を有し、

前記積層物の導電膜は n 層であり、前記積層物の絶縁膜は $n - 1$ 層であって、

前記積層物の導電膜において、前記絶縁表面に接する導電膜、及び該導電膜と最も離れている導電膜が、ソース電極及びドレイン電極であり、

前記半導体膜において、前記積層物の導電膜及び前記積層物の絶縁膜並びに前記第 2 の導電膜に接する領域がチャンネル形成領域であり、

前記第 2 の導電膜がゲート電極であることを特徴とする薄膜トランジスタ。

【請求項 5】

請求項 4 において、前記第 2 の導電膜は、少なくとも前記積層物の絶縁膜に接する前記半導体膜を覆設していることを特徴とする薄膜トランジスタ。

【請求項 6】

請求項 4 において、前記第 2 の導電膜は、前記積層物の絶縁膜に接する前記半導体膜の一部を覆設していることを特徴とする薄膜トランジスタ。

【請求項 7】

請求項 1 又は請求項 4 において、前記半導体膜のチャネル形成領域が閉曲線形状であることを特徴とする薄膜トランジスタ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、前記積層物の側面は、前記絶縁表面に対して傾斜していることを特徴とする薄膜トランジスタ。

【請求項 9】

絶縁表面上に第 1 の導電膜、第 1 の絶縁膜、第 2 の導電膜を順に成膜して積層物を形成し、

該積層物をエッチングした後、積層物の側面に半導体膜、第 2 の絶縁膜及び、第 3 の導電膜を順に成膜しゲート絶縁膜及びゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 10】

請求項 9 において、前記積層物をエッチングするとき、該積層物の側面が前記絶縁表面に対して傾斜するようにエッチングすることを特徴とする薄膜トランジスタの作製方法。

【請求項 11】

絶縁表面上に第 1 の導電膜を成膜し、該第 1 の導電膜を所望の形状にエッチングして第 1 の電極を形成し、

前記第 1 の電極及び前記絶縁表面上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に、第 2 の導電膜を形成し、該第 2 の導電膜及び前記第 1 の絶縁膜を所望の形状にエッチングして第 2 の電極を形成すると共に、前記第 1 の電極、前記第 1 の導電膜、及び前記第 2 の電極の側面を露出させ、



該露出面に半導体膜を形成し、前記半導体膜を所望の形状にエッチングし、
前記半導体膜上に第2の絶縁膜及び第3の導電膜を順に形成し、前記第3の導電膜を所望の形状にエッチングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項12】

絶縁表面上に第1の導電膜を成膜し、該第1の導電膜を所望の形状にエッチングして第1の電極を形成し、

前記第1の電極及び前記絶縁表面上に第1の絶縁膜を形成し、該第1の絶縁膜をエッチングして前記第1の電極の一部を露出させ、

前記第1の絶縁膜及び前記第1の電極上に、第2の導電膜を形成し、該第2の導電膜エッチングして前記第1の電極及び前記第1の絶縁膜の一部を露出させると共に第2の電極を形成し、

前記第1の電極及び前記第1の絶縁膜の露出面及び第2の電極の一部に半導体膜を形成し、前記半導体膜を所望の形状にエッチングし、

前記半導体膜上に第2の絶縁膜及び第3の導電膜を順に形成し、前記第3の導電膜を所望の形状にエッチングしてゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項13】

請求項11又は請求項12において、前記露出面は前記絶縁表面に対して傾斜するようにエッチングすることを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁表面を有する基板上に半導体膜及び絶縁膜を積層形成してなる薄膜トランジスタの作製方法に有効な技術に関する。

また、本発明は、短チャネル構造を有する薄膜トランジスタの作製方法に有効な技術に関する。

【0002】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて T F T を構成し、この T F T で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、E L 表示装置、および密着型イメージセンサはその代表例として知られている。さらには、画素部と駆動回路部の他に、C P U、D R A M、画像処理回路、音声処理回路等をも同一基板上に設けたシステム・オン・パネルが提案されている。特に、結晶質シリコン膜を活性領域に用いた T F T は電界効果移動度が高いため、これを用いて様々な機能を備えた回路（例えば、画像表示を行う画素回路、シフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路、C P U、S R A M、画像処理回路、音声処理回路等）を形成することも可能である。

【0003】

図 10 は、T F T の電圧電流特性（ I_d - V_d 特性）を示す。なお、図 10 で示す T F T の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_d に対する、T F T のドレイン領域に流れる電流の大きさ I_d を示しており、図 10 には T F T のソース領域とゲート電極の間の電圧である V_g の値の異なる複数のグラフを示している。

【0004】

図 10 に示すように、T F T の電圧電流特性は、 V_g と V_d の値によって 2 つの領域に分けられる。 $|V_g - V_{th}| < |V_d|$ である領域が飽和領域、 $|V_g - V_{th}| > |V_d|$ である領域が線形領域である。

【0005】

飽和領域においては以下の式 1 が成り立つ。

【0006】

【式 1】

$$I_d = \frac{W}{2L} \mu C_{ox} (V_g - V_{th})^2$$

【0007】

なお、 μ はTFTの移動度、 C_{OX} は単位面積あたりのゲート絶縁膜の容量、 W/L はチャンネル形成領域のチャンネル幅 W とチャンネル長 L の比である。

【0008】

一方、線形領域においては以下の式2が成り立つ。

【0009】

【式2】

$$I_d = \mu C_{OX} \frac{W}{L} \left\{ (V_g - V_{th}) V_d - \frac{V_d^2}{2} \right\}$$

【0010】

この式より、線形領域においてTFTの性能の向上は、ゲート容量(C_{OX})及びチャンネル幅とチャンネル長の比(W/L)により、改善することができると考えられる。

【0011】

第1の改善策としては、ゲート絶縁膜の容量(C_{OX})を増加させることが考えられる。具体的には、ゲート絶縁膜の比誘電率を増大させる、膜厚を薄くする、半導体層とゲート絶縁膜の界面特性を向上させる等の手法がある(例えば、特許文献1参照)。

【0012】

2つ目の改善策としては、チャンネル幅とチャンネル長の比(W/L)をより大きくすることが考えられる。すなわち、TFTのチャンネル幅(W)を拡大する、またはチャンネル長(L)を縮小すればよいことが分かる。

【特許文献1】

特開2000-275678号公報(第3～4頁、図1～4参照)

【0013】

【発明が解決しようとする課題】

W/L 比を大きくするために、チャンネル幅(W)を広げると、TFTの面積が大

きくなるという問題がある。TFTを、透過型の表示装置の画素のスイッチングに用いた場合、一つ以上のTFTが表示部である画素内に存在する。このため、TFTの面積が大きくなると、画素部の表示領域が狭くなり、表示装置の開口率が低下してしまうという問題がある。

【0014】

また、TFTの面積が大きくなると、TFTのゲート電極に覆われる半導体層の面積が増加するため、半導体膜とゲート電極との間で寄生容量が発生し、動作周波数が低下してしまい、高速動作ができないという問題もある。

【0015】

さらには、TFTの面積が大きくなると、TFTを用いた回路の面積が増大し、該回路を有する電子機器の容積が増大してしまう。これは、現在の電子機器の小型化薄型化に相反するものである。

【0016】

一方、W/L比を大きくするために、チャネル長を狭める手法、即ちゲート電極の長さを狭める手法もある。この手法に関しては、1)レジストマスクを形成する為に用いる露光装置における微細化の限界、2)レジストマスクを形成するために用いるメタルマスクの位置あわせ精度の限界、3)メタルマスクの寸法とレジストマスクの仕上がり寸法との差を抑制する限界、4)レジストマスクと実際のエッチングによるずれを抑制する限界（狭い間隔を確実にエッチングできるか否か）等の問題により、チャネル長を狭めるにも限界がある。

【0017】

そこで、本発明は、再現性高くTFTのチャネル長を制御することが可能な工程を提供する。また、チャネル長の短いTFTを作製することが可能な工程を提供する。さらには、電流電圧特性を向上させることが可能なTFTの構造を提供する。

【0018】

【課題を解決するための手段】

本発明は、絶縁表面上に第1の導電膜、第1の絶縁膜及び第2の導電膜とが順に積層される積層物と、該積層物の側面に接して形成される半導体膜と、第2の



絶縁膜を介して半導体膜を覆設する第3の導電膜を有する薄膜トランジスタであって、第1の導電膜及び第2の導電膜はソース電極及びドレイン電極であり、半導体膜において第1の絶縁膜及び第3の導電膜に接する部分はチャンネル形成領域であり、第3の導電膜はゲート電極であることを特徴とする。

【0019】

第2の絶縁膜はゲート絶縁膜である。ゲート電極は、少なくとも半導体膜を覆設している。一方、ゲート電極は、第1の絶縁膜に接する半導体膜の一部を覆設していてもよい。

【0020】

また、第1の導電膜、第1の絶縁膜及び第2の導電膜は、絶縁表面の縦方向に積層している。

【0021】

本発明は、絶縁表面上において導電膜と絶縁膜とが交互に形成される積層物と、該積層物の側面に形成される半導体膜と、第2の絶縁膜を介して半導体膜を覆設する第2の導電膜を有する薄膜トランジスタであって、積層物の導電膜において絶縁表面に接する導電膜及び該導電膜と最も離れている導電膜がソース電極及びドレイン電極であり、半導体膜において積層物の絶縁膜及び積層物の導電膜並びに第2の導電膜に接する部分がチャンネル形成領域であり、第2の導電膜がゲート電極であることを特徴とする。

【0022】

ゲート電極は、少なくとも半導体膜を覆設している。一方、ゲート電極は、積層物の絶縁膜及び導電膜に接する半導体膜の一部を覆設していてもよい。

【0023】

また、積層物の導電膜と絶縁膜とは、絶縁表面の縦方向に交互に形成されている。

【0024】

本発明の薄膜トランジスタは、チャンネル長を半導体膜に接する絶縁膜の膜厚で制御することが可能である。このため、短チャンネル構造のTFETを作製するプロセスにおける従来の問題点を解決することが可能であり、短チャンネル構造のTF

Tを作製することが容易となる。

【0025】

また、積層物の側面は、絶縁表面に対して傾斜していることが好ましい。この構造により、後に成膜される半導体膜が被覆性良く成膜され、断切れを防ぐことができる。

【0026】

また、半導体膜のチャネル形成領域は、閉曲線形状であってもよい。この場合、チャネル幅(W)を広げることが可能となるため、W/L比を増加させることが可能である。すなわち、TF Tの電圧電流特性を向上させることが可能である。

【0027】

また、ゲート電極が半導体膜の一部を覆っている場合、TF Tの面積を縮小することができるため、このTF Tを透過型表示装置に用いた場合、開口率を向上させることができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【0029】

例えば、本実施の形態においては、画素部のTF Tを代表例として用いて説明している。このため、コンタクトホールに形成され、かつ第1の電極又は第2の電極に接続される導電膜(図1の領域111、図2の領域211、図3の領域313、図4の領域411、図11の領域1111、図12の領域1211)を画素電極として説明しているが、これに限られるものではなく、画素電極を配線として解釈するも可能である。

【0030】



また、各実施の形態において代表例として、第1の導電膜、第2の絶縁膜、第2の導電膜で形成される積層物の側面、すなわち半導体膜が形成される領域は、絶縁表面上に対して傾斜を有する構造を示すが、この構造に限られない。積層物の側面は、絶縁表面に対して垂直でもよい。この場合、ひとつのマスクで第1の導電膜、第2の絶縁膜及び第2の導電膜をエッチングすることが可能であり、マスク数の削減が可能である。

【0031】

(実施の形態1)

本実施の形態を図1を用いて説明する。図1(A)は、本実施の形態により作製されるTFTの上面図であり、図1(B)は、同様のものの断面図である。まず始めに、基板101上に第1の絶縁膜102を形成した後、第1の導電膜を形成する。こののち、第1の導電膜を所望の形状にエッチングして第1の電極103を形成する。なお第1の電極は第1の接続配線112から延在している。本実施の形態において、第1の接続配線をソース配線とする。

【0032】

基板材料としては、ガラス基板、石英基板、プラスチック等の樹脂製の基板、シリコン基板、金属基板等を用いることができる。さらには、膜厚の薄いフィルム上の基板や、可撓性を有する部材を基板に用いることもできる。

【0033】

第1の絶縁膜としては、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化アルミニウム膜、DLC(ダイヤモンドライクカーボン)等が挙げられる。第1の絶縁膜の作製方法としては、CVD法、スパッタリング法、蒸着法等の公知の手法を用いることができる。該絶縁膜は、基板から又は基板を通過した不純物(金属イオン、水分、酸素等)が拡散して該基板の上部に形成される素子に進入するのを防ぐためのものである。基板に石英基板を用いた場合は、絶縁膜を形成しなくともよい。本実施の形態では、絶縁膜を10~200nmの厚さで形成する。図1では下地膜を1層としているが、これは2層以上でも良い。

【0034】

第1の導電膜としては、後に形成される半導体膜とオーミック接触する材料で

形成される膜を用いる。代表的には、金や白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、ニッケル、タングステン、チタン、タンタル等の金属又は合金等で形成された膜を、CVD法、スパッタリング法、蒸着法等により成膜する。また、これらの金属又は合金等の材料を用いた導電性ペースト、導電性高分子膜（代表的には、ポリ（3，4-エチレンジオキシチيوفエン）（PEDOT）、ITO等を印刷法やロールコーター法で形成してもよい。

【0035】

次に、第1の導電膜上に第2の絶縁膜104及び第2の導電膜を順に成膜する。第2の絶縁膜としては、スパッタリング法、CVD法で形成される酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、塗布法で形成されるシリコン酸化膜（SOG:Spin on Glass）、ボロフォスフェートシリケートガラス（BPSG）、フォスフェートシリケートガラス（PSG）、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、フェノキシ樹脂、非芳香族多官能性イソシアナート、メラミン樹脂、陽極酸化法で形成された酸化タンタル、酸化チタン、酸化アルミニウム、DLC（ダイヤモンドライクカーボン）等を用いることができる。

【0036】

第2の導電膜としては、第1の導電膜と同様に、後に形成される半導体膜とオーミック接触する材料で形成される膜を用いる。

【0037】

次に、第2の導電膜上にレジストマスクを形成し、第2の導電膜及び第2の絶縁膜を所望の形状にエッチングする。この結果、エッチングされた第2の導電膜は第2の電極105となる。第2の絶縁膜は、ソース電極とドレイン電極とを電氣的に接続されないために設けたものである。この工程において、第2の導電膜と第2の絶縁膜の側面が基板表面に対して傾斜していることが好ましい。この構造により、後に成膜される半導体膜が被覆性良く成膜され、断切れを防ぐことができる。

【0038】

また、該工程は、第1の電極表面が露出する境界面において、第2の絶縁膜のエッチングを終了する。この結果、エッチングされた第2の導電膜は第2の電極

となる。

【0039】

また、第2の絶縁膜の膜厚を制御することで、後に形成される半導体膜のチャネル長を制御することができる。本実施の形態では、膜厚10～100nmの第2の絶縁膜を形成する。

【0040】

なお、本実施の形態では、第2の絶縁膜と第2の導電膜を順に成膜したのち、第2の導電膜と第2の絶縁膜を同時にエッチングしているが、この工程の代わりに、第2の絶縁膜を成膜したのち、これをエッチングし、次に第2の導電膜を成膜し所望の形状にエッチングして第2の電極を形成してもよい。この場合、最終的には、第1の電極及び第2の絶縁膜が一部露出するように第2の導電膜をエッチングする。

【0041】

次に、第1の電極、エッチングされた第2の絶縁膜、及び第2の電極が積層された側面に半導体膜106を形成する。該半導体膜は、無機材料又は有機材料で形成される膜、更には有機材料及び無機材料を含む膜で形成することができる。

【0042】

無機材料で形成される半導体膜の代表例としては、CVD法等で形成されたシリコン膜、ガリウムが添加されたシリコン膜等を用いることができる。また、有機材料で形成される半導体膜及びその作製方法の代表例としては、共役ポリマーで代表されるポリマーないしはオリゴマー、例えば、ポリフェニレンビニレン誘導体、ポリフルオレン誘導体、ポリチオフェン誘導体、ポリフェニレン誘導体およびこれらの共重合体、オリゴフェニレン、オリゴチオフェン、が挙げられ、この場合にはスピンコート法、ディップコーティング法、インクジェットプリント法、スクリーンプリント法、スプレーコーティング法等の湿式法で形成される。また、低分子物質では、例えば、ペンタセン、テトラセン、銅フタロシアニン、フッ素置換フタロシアニン、ペリレン誘導体等が挙げられ、これらの場合には、主に真空蒸着法で形成されるが、電解重合法、電解析出法等の手法も用いることができる。

【0043】

次に、基板全面に第3の絶縁膜107及び第3の導電膜を順に形成したのち、第3の導電膜を所望の形状にエッチングする。該エッチング工程において、少なくとも第2の絶縁膜104に接する半導体膜の部分に第2の導電膜が覆設されることが重要である。この結果、第3の絶縁膜はゲート絶縁膜となり、エッチングされた第3の導電膜はゲート電極108となる。

【0044】

第3の絶縁膜としては、スパッタリング法、CVD法で形成される酸化珪素膜、酸化窒化珪素膜、及び窒化珪素膜、熱酸化法で形成された酸化シリコン膜、塗布法で形成されるシリコン酸化膜（SOG:Spin on Glass）、ボロフォスフェートシリケートガラス（BPSG）、フォスフェートシリケートガラス（PSG）、ポリビニルアルコール（PVA）、ポリメチルメタクリレート（PMMA）、ポリスチレン（PS）、ポリビニルフェノール、ポリパラキシリレンやその誘導体、ポリイミドやその誘導体、ポリアクリロニトリル、ポリメタクリル酸メチル、ポリスチレン、ポリフェノール誘導体、ポリ尿素、ポリエチレン、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリフッ化ビニル、ポリフッ化ビニリデン、アセチルセルロースやその誘導体等のポリマー膜、DLC（ダイヤモンドライクカーボン）等を用いることができる。本実施の形態では、膜厚50～130nmの第3の絶縁膜を成膜する。

【0045】

第3の導電膜としては、インクジェット法により形成されるポリ（3，4-エチレンジオキシチオフェン）（PEDOT）、CVD法、スパッタリング法、蒸着法等の公知の手法で形成されるTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成される膜、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いることができる。

【0046】

次に、基板全面に第4の絶縁膜109を形成する。第4の絶縁膜としては、無機絶縁膜（代表的には、酸化シリコン膜や窒化シリコン膜や酸化窒化シリコン膜

）や有機絶縁膜（代表的には、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等）を用いることができる。なお、無機絶縁膜を第4の絶縁膜として用いる場合、研磨工程等により表面を平坦化することが好ましい。

【0047】

次に、該第4の絶縁膜にコンタクトホール110を形成して、第2の電極に接続する配線111（第2の接続配線）を形成する。本実施の形態では、第2の接続配線を画素電極とする。

【0048】

以上の工程により、絶縁膜と該絶縁膜を介して積層されたの導電膜の側面に活性領域を有するTFTを形成することができる。本実施の形態で作製できるTFTは、第2の絶縁膜の膜厚を制御することにより、チャネル長を制御することが容易である。このため、従来の工程と比較して、チャネル長の制御がしやすくなるため、従来の工程よりもチャネル長の短い薄膜トランジスタを作製することができる。すなわち、W/L比を大きくすることが容易であるため、電圧電流特性を高めることができ、TFTの特性を向上させることができる。

【0049】

（実施の形態2）

本実施の形態では、実施の形態1において第2の電極が第1の接続配線から延在している構造を図2を用いて説明する。なお、図2（A）は、本実施の形態により作製されるTFTの上面図であり、図2（B）は、同様のものの断面図である。

【0050】

まず始めに、基板201上に第1の絶縁膜202を形成した後、第1の導電膜を形成する。こののち、第1の導電膜を所望の形状にエッチングして第1の電極203を形成する。第1の電極は、後の工程で第2の接続配線211と接続する。なお、本実施の形態において、第2の接続配線は画素電極とする。第1の絶縁膜及び第1の導電膜は、実施の形態1と同様のものを用いて形成することができる。

【 0 0 5 1 】

次に、第 1 の電極上に第 2 の絶縁膜 2 0 4 及び第 2 の導電膜を順に成膜する。なお、第 2 の絶縁膜及び第 2 の導電膜は、実施の形態 1 と同様のものを用いて形成することができる。

【 0 0 5 2 】

次に、第 2 の導電膜上にレジストマスクを形成し、第 2 の導電膜及び第 2 の絶縁膜を所望の形状にエッチングし第 2 の電極 2 0 5 を形成すると共に、第 2 の絶縁膜 2 0 4 及び第 1 の電極 2 0 3 の一部を露出させる。この工程は、実施の形態 1 と同様の手法を用いることができる。なお、本実施の形態において、第 1 の電極 2 0 3 と第 2 の接続配線とが接続されるように第 2 の導電膜をエッチングする。即ち、少なくとも第 1 の電極において、第 2 の電極に覆設されない領域を有するように第 2 の導電膜をエッチングする。なお、第 2 の電極 2 0 5 は、第 1 の接続配線 2 1 2 から延在している。本実施の形態において、第 1 の接続配線をソース配線とする。

【 0 0 5 3 】

次に、第 1 の電極、エッチングされた第 2 の絶縁膜、及び第 2 の電極が積層された側面に半導体膜 2 0 6 を形成する。該半導体膜は、実施の形態 1 と同様のものを用いることができる。

【 0 0 5 4 】

次に、基板全面に第 3 の絶縁膜 2 0 7 及び第 3 の導電膜を順に形成したのち、第 3 の導電膜を所望の形状にエッチングし、ゲート電極を形成する。該エッチング工程において、少なくとも第 2 の絶縁膜に接する半導体膜の部分に第 2 の導電膜が覆設されることが重要である。この結果、第 3 の絶縁膜 2 0 7 はゲート絶縁膜となり、エッチングされた第 3 の導電膜はゲート電極 2 0 8 となる。

【 0 0 5 5 】

次に、基板全面に第 4 の絶縁膜 2 0 9 を形成する。なお、第 3 の絶縁膜、第 3 の導電膜、及び第 4 の絶縁膜は、実施の形態 1 と同様のものを用いることができる。

【 0 0 5 6 】



次に、該第4の絶縁膜にコンタクトホール210を形成して、第1の電極に接続する配線（第2の接続配線）211を形成する。本実施の形態では、第2の接続配線を画素電極とする。

【0057】

以上の工程により、絶縁膜と該絶縁膜を介して積層された2層の導電膜の側面に活性領域を有するTFTを形成することができる。本実施の形態で作製できるTFTは、第2の絶縁膜の膜厚を制御することにより、チャンネル長を制御することが容易である。このため、従来の工程と比較して、チャンネル長の制御がしやすくなるため、従来の工程よりもチャンネル長の短い薄膜トランジスタを作製することができる。すなわち、W/L比を大きくすることが容易であるため、電圧電流特性を高めることができ、TFTの特性を向上させることができる。

【0058】

（実施の形態3）


本実施の形態においては、複数のチャンネル形成領域を有するTFTの作製方法について図3を用いて示す。なお、図3（A）は、本実施の形態により作製されるTFTの上面図であり、図3（B）は、同様のものの断面図である。第1の接続配線、第2の接続配線、第1の電極、及び第2の電極の接続方法は、実施の形態1と同様とする。

【0059】

始めに、実施の形態1と同様に基板301上に第1の絶縁膜302を形成した後、第1の導電膜を形成する。こののち、第1の導電膜を所望の形状にエッチングして第1の電極303を形成する。なお、第1の電極は第1の接続配線314から延在している。本実施の形態において、第1の接続配線はソース配線とする。

【0060】

次に、第1の電極上に第2の絶縁膜、第2の導電膜、第3の絶縁膜、及び第3の導電膜を順に成膜する。なお、第2の絶縁膜及び第3の絶縁膜は、実施の形態1の第2の絶縁膜と同様のものを用いることができる。また、第2の導電膜、及び第3の導電膜は、実施の形態1の第1の導電膜及び第2の導電膜と同様のもの



を用いることができる。

【0061】

次に、第3の導電膜上にレジストマスクを形成し、第3の導電膜、第3の絶縁膜、及び第2の導電膜、第2の絶縁膜を所望の形状にエッチングする。第2の導電膜から第2の電極305を形成し、第3の導電膜から第3の電極307を形成する。なお、該エッチング工程では、第1の電極303及び第2の電極305が一部露出するようにエッチングする。また、該エッチング工程は、実施の形態1の第2の絶縁膜及び第2の導電膜をエッチングする工程を適応することができる。この工程により、導電膜と絶縁膜が交互に形成された積層物を形成する。

【0062】

次に、第1の電極303、エッチングされた第2の絶縁膜304、第2の電極305、エッチングされた第3の絶縁膜306、及び第3の電極307が積層された側面に、半導体膜308を形成する。該半導体膜は、実施の形態1と同様のものを用いることができる。

【0063】

次に、基板全面に第4の絶縁膜309及び第4の導電膜を順に形成したのち、第4の導電膜を所望の形状にエッチングし、ゲート電極310を形成する。該エッチング工程において、少なくとも第2の絶縁膜304に接する半導体膜、及び第3の絶縁膜306に接する半導体膜の部分にゲート電極310が覆設されることが重要である。この結果、第4の絶縁膜はゲート絶縁膜となる。

【0064】

次に、基板全面に第5の絶縁膜311を形成する。

【0065】

次に、該第5の絶縁膜にコンタクトホール312を形成して、第2の電極に接続する配線（第2の接続配線）313を形成する。本実施の形態では、第2の接続配線を画素電極とする。

【0066】

本実施の形態では、2つのチャネル形成領域を有するTFETの例を示したが、これに限定されるものではない。すなわち、 $n-1$ 個のチャネル形成領域を有す

る T F T を作製することができる。具体的には、 $n-1$ 層の絶縁膜とそれらと交互に形成された n 層の導電膜とが積層され、該積層された側面において半導体膜、ゲート絶縁膜、及びゲート電極とが形成された T F T を作製することができる。

【0067】

以上の工程により、絶縁膜と該絶縁膜とが交互に形成された積層物の側面に活性領域を有する T F T を形成することができる。本実施の形態で作製できる T F T の第 2 の絶縁膜の膜厚を制御することにより、チャネル長を制御することができる。このため、従来の工程と比較して、チャネル長の制御がしやすくなるため、従来の工程よりもチャネル長の短い薄膜トランジスタを作製することが容易である。すなわち、 W/L 比を大きくすることが容易であるため、電圧電流特性を高めることができ、T F T の特性を向上させることができる。さらに、活性領域において、複数のチャネル形成領域が直列に接続されているため、ドレイン領域とチャネル形成領域との界面での電界が緩和されるため、オフ電流を低減することができる。

【0068】

なお、本実施の形態を実施の形態 1、又は実施の形態 2 の T F T に適応することができる。

【0069】

(実施の形態 4)

本実施の形態では、閉曲線形状のチャネル形成領域を有する T F T の作製方法について図 4 を用いて説明する。図 4 (A) は、本実施の形態により作製される T F T の上面図であり、図 4 (B) は、同様のものの断面図である。なお、第 1 の電極は第 1 の接続配線から延在している構造を説明する。

【0070】

始めに、実施の形態 1 と同様に基板 401 上に第 1 の絶縁膜 402、及び第 1 の導電膜を順に成膜する。こののち、第 1 の導電膜を所望の形状にエッチングして第 1 の電極 403 を形成する。なお、第 1 の電極は第 1 の接続配線 412 から延在している。本実施の形態において、第 1 の接続配線はソース配線とする。第

1の絶縁膜及び第1の導電膜は、実施の形態1と同様のものを用いて形成することができる。

【0071】

次に、第1の導電膜上に第2の絶縁膜及び第2の導電膜を順に成膜する。なお、第2の絶縁膜及び第2の導電膜は、実施の形態1と同様のものを用いて形成することができる。

【0072】

次に導電膜上にレジストマスクを形成し、第2の導電膜及び第2の絶縁膜を所望の形状にエッチングし第2の電極405を形成する。なお、該工程は、第1の電極の一部が露出するまで第2の導電膜及び第2の絶縁膜をエッチングする。また、本実施の形態においては、第2の絶縁膜及び第2の導電膜を同様の形状にエッチングすることが好ましい。このようにエッチングすると、後に半導体膜が形成される部分において、第1の電極と第2の電極との距離を一定に保つことができる。すなわち、チャンネル長(L)が均一で、かつチャンネル幅(W)が長いチャンネル形成領域を形成できる。

【0073】

なお、本実施の形態では、第2の絶縁膜と第2の導電膜を順に成膜したのち、第2の導電膜と第2の絶縁膜を同時にエッチングしているが、この工程の代わりに、第2の絶縁膜を成膜したのち、これをエッチングし、次に第2の導電膜を成膜し所望の形状にエッチングして第2の電極を形成してもよい。この場合、最終的には、第1の電極及び第2の絶縁膜が一部露出するように第2の導電膜をエッチングする。

【0074】

次に、第1の電極、エッチングされた第2の絶縁膜404、及び第2の電極405が積層された側面に半導体膜406を形成する。該半導体膜は、実施の形態1と同様のものを用いることができる。この後、半導体膜の中央部を一部除去して、上面から見た形状が閉曲線を有する半導体膜を形成する。

【0075】

次に、基板全面に第3の絶縁膜407及び第3の導電膜を順に形成したのち、

第3の導電膜を所望の形状にエッチングしてゲート電極408を形成する。なお、該エッチング工程において、少なくとも第2の絶縁膜に接する半導体膜の部分に第2の導電膜が覆設されることが重要である。また、第3の絶縁膜はゲート絶縁膜となる。

【0076】

次に、基板全面に第4の絶縁膜を形成する。本実施の形態においても、第3の絶縁膜、第3の導電膜及び第4の絶縁膜は、実施の形態1と同様のものを用いることができる。

【0077】

次に、該第4の絶縁膜にコンタクトホールを形成して、第2の電極に接続する配線（第2の接続配線）411を形成する。なお、該工程において、コンタクトホールは、半導体膜406及びゲート電極408と接しないように形成することが重要である。すなわち、第2の電極405に第3の絶縁膜407及び第4の絶縁膜409とが順に接している領域において、コンタクトホールを形成する。本実施の形態では、第2の接続配線を画素電極とする。

【0078】

以上の工程により、絶縁膜と該絶縁膜を介して積層された導電膜の側面に活性領域を有するTFTを形成することができる。本実施の形態で作製できるTFTは、第2の絶縁膜の膜厚を制御することにより、チャネル長を制御することができる。このため、従来の工程と比較して、チャネル長の制御がしやすくなるため、従来の工程よりもチャネル長の短い薄膜トランジスタを作製することが容易である。すなわち、W/L比を大きくすることが容易であるため、電圧電流特性を高めることができ、TFTの特性を向上させることができる。また、本実施の形態で形成されるTFTのチャネル形成領域は、閉曲線の形状を有しており、従来と比較してL長を短くすると共に、チャネル幅(W)を増加することができる。この結果、電圧電流特性を高めることができる。

【0079】

なお、本実施の形態を実施の形態1～3のいずれかのTFTに適応することができる。

【0080】

(実施の形態5)

本実施の形態では、第1の電極、第2の電極それぞれが、半導体膜との接触面積を増加させ、それぞれのコンタクト性を高める構造について説明する。本実施の形態においては、実施の形態1のTF Tの構造を用いて説明する。このため、同じ部分は、同様の符号を付して詳細の説明を省略する。また、本実施の形態を、実施の形態2乃至実施の形態4、及び実施の形態6のいずれかのTF Tにも適応することができる。

【0081】

本実施の形態を図11を用いて説明する。図11(A)は、本実施の形態により作製されるTF Tの上面図であり、図11(B)は、同様のものの断面図、図11(C)は、同様のものの第1の電極、第2の電極、及び半導体膜の拡大図である。

【0082】

まず始めに、基板101上に第1の絶縁膜102を形成した後、第1の導電膜を形成する。このうち、第1の導電膜を所望の形状にエッチングして第1の電極を形成する。なお、第1の電極は第1の接続配線112から延在している。本実施の形態において、第1の接続配線をソース配線とする。

【0083】

次に、第1の導電膜上に第2の絶縁膜104及び第2の導電膜を順に成膜する。

【0084】

次に、第2の導電膜上にレジストマスクを形成し、第2の導電膜及び第2の絶縁膜104を所望の形状にエッチングする。この結果、エッチングされた第2の導電膜は第2の電極105となる。第2の絶縁膜は、ソース電極とドレイン電極とを電氣的に接続されないために設けたものである。

【0085】

なお、第2の導電膜を所望の形状にエッチングして第2の電極105を形成した後、第2の絶縁膜を形成し、該第2の絶縁膜を所望の形状にエッチングしても

よい。

【0086】

また、該工程は、図11 (C) のように、第1の電極の一部をオーバーエッチングし、第1の電極の1103一部を露出させる。このような工程をとることにより、第1の電極1103の露出部が増加し、後に形成される半導体膜との接触面積が増加し、コンタクト性を高めることができる。また、チャネル長の精度を高めることができる。

【0087】

また、第2の絶縁膜の膜厚は、後に形成される半導体膜のチャネル長とほぼ等しくなる。すなわち、第2の絶縁膜の膜厚を制御することにより、チャネル長を制御することができる。本実施の形態では、膜厚10～100nmの第2の絶縁膜を形成する。

【0088】

なお、本実施の形態では、第2の絶縁膜と第2の導電膜を順に成膜したのち、第2の導電膜と第2の絶縁膜を同時にエッチングしているが、この工程の代わりに、第2の絶縁膜を成膜したのち、これをエッチングし、次に第2の導電膜を成膜し所望の形状にエッチングして第2の電極を形成してもよい。この場合、最終的には、第2の絶縁膜が一部露出され、かつ第1の電極がオーバーエッチングされるように第2の絶縁膜及び第2の導電膜をエッチングする。

【0089】

次に、第1の電極、エッチングされた第2の絶縁膜、及び第2の電極が積層された側面に半導体膜106を形成する。該半導体膜は、無機材料又は有機材料で形成される膜、更には有機材料及び無機材料を含む膜で形成することができる。

【0090】

次に、基板全面に第3の絶縁膜107及び第3の導電膜を順に形成したのち、第3の導電膜を所望の形状にエッチングする。該エッチング工程において、少なくとも第2の絶縁膜104に接する半導体膜の部分に第2の導電膜が覆設されることが重要である。この結果、第3の絶縁膜107はゲート絶縁膜となり、エッチングされた第3の導電膜はゲート電極108となる。

【0091】

次に、基板全面に第4の絶縁膜109を形成する。第4の絶縁膜に無機絶縁膜を用いる場合、研磨工程等により表面を平坦化することが好ましい。

【0092】

次に、該第4の絶縁膜にコンタクトホール110を形成して、第2の電極に接続する配線1111（第2の接続配線）を形成する。本実施の形態では、第2の接続配線を画素電極とする。

【0093】

以上の工程により、絶縁膜と該絶縁膜を介して積層されたの導電膜の側面に活性領域を有するTFETを形成することができる。本実施の形態で作製できるTFETは、第2の電極と同様、第1の電極と半導体膜との接触面積が増加するため、実施の形態1よりもコンタクト性を高めることが可能となる。また、第2の絶縁膜の膜厚を制御することにより、チャネル長を制御することが容易である。このため、従来の工程と比較して、チャネル長の制御がしやすくなるため、従来の工程よりもチャネル長の短い薄膜トランジスタを作製することができる。すなわち、W/L比を大きくすることが容易であるため、電圧電流特性を高めることができ、TFETの特性を向上させることができる。

【0094】

（実施の形態6）

本実施の形態では、面積をより縮小することが可能なTFETの構造について説明する。本実施の形態においては、実施の形態1のTFETの構造を用いて説明する。このため、同じ部分は、同様の符号を付して詳細の説明を省略する。また、本実施の形態を、実施の形態2、実施の形態3及び実施の形態5のいずれかのTFETにも適応できる。

【0095】

実施の形態1の工程により、基板上に、第1の膜絶縁膜102、第1の電極103、第2の絶縁膜104、第2の電極105、半導体膜106、第3の絶縁膜107を形成する。

【0096】

この後、第3の導電膜を形成し、該膜を所望の形状にエッチングしゲート電極1208を形成する。この場合、第3の導電膜は、チャネル形成領域上に形成された半導体膜の全てを覆わず、一部を覆っている。この構造により、ゲート電極の占有面積が少なくなり、この結果、TFTの電圧電流特性を高めつつ、画素の開口率を向上させることができる。

【0097】

【実施例】

以下に、本発明の実施例について記載する。本実施例では、実施の形態1の構造を有するTFTの作製工程を示す。

【0098】

【実施例1】

本実施例では、液晶表示装置のアクティブマトリクス基板、特に画素部におけるTFTの作製方法を図5～図9を用いて述べる。なお、図5～図9の(A)は、アクティブマトリクス基板の画素部の上面図を表しており、絶縁膜は全面に形成されているため、省略している。図5～図9の(B)は、それぞれ順に図5の(ホ)―(ホ)′、図6の(ヘ)―(ヘ)′、図7の(ト)―(ト)′、図8の(チ)―(チ)′、図9の(リ)―(リ)′の断面図を表している。

【0099】

まず、図5に示すように、絶縁表面を有する基板501上に第1の導電膜を形成し、パターニング及びエッチングを施すことによりソース配線502、503を形成する。ここでは基板201としてガラス基板を用い、走査線502、503としてタングステンシリサイド(W-Si)膜を用いる。

【0100】

次いで、走査線502、503を覆う絶縁膜503a、503bを形成する。ここではプラズマCVD法を用いた酸化シリコン膜と減圧熱CVD法を用いた酸化シリコン膜を積層させる。

【0101】

また、絶縁膜503bを形成した後、絶縁膜表面を化学的及び機械的に研磨する処理(代表的にはCMP技術)等)により平坦化してもよい。例えば、絶縁膜

表面の最大高さ (R_{\max}) が $0.5 \mu\text{m}$ 以下、好ましくは $0.3 \mu\text{m}$ 以下となるようにする。

【0102】

次いで、絶縁膜 503b 上にレジストマスクを形成し、走査線 502 に達するコンタクトホール 504～507 を形成する。この後、マスクを除去する。

【0103】

次いで、第2の導電膜を形成し、該導電膜上に公知のフォトリソグラフィーによりレジストマスクを形成する。この後、ドライエッチング又はウエットエッチング法等の公知の手法により、第2の導電膜をエッチングし、第1の電極であるソース電極 508～511 を形成する。ここでは、スパッタリング法により、タングステン膜で形成されたソース電極を形成する。

【0104】

次に、図6に示すように、ソース電極 508～511 及び絶縁膜 503b 上に減圧熱CVD法で酸化シリコン膜を 50 nm で形成する。こののち、第3の導電膜を成膜する。

【0105】

次に、該第3の導電膜上に公知のフォトリソグラフィー法によりレジストマスクを形成したのち、ドライエッチング法により第2の電極であるドレイン電極 521～524 を形成する。ここでは、第3の導電膜（第2の電極）として、スパッタリング法により、タングステン膜を成膜する。

【0106】

次に、酸化シリコン膜をドライエッチング法によりエッチングする（522）と共に、第3の絶縁膜に覆われたソース電極 508～511 の一部を露出させる。このときのエッチング処理は、ソース電極 508～511 が露出する境界部で終了させる。なお、ソース電極 508～511 の露出部を均一にさせるために、酸化シリコン膜を除去すると共に、ソース電極 508～511 をオーバーエッチングしてもよい。

【0107】

次に、図7に示すように、基板表面を洗浄し、UVクリーニング等の前処理を

十分に行ったのち、半導体膜 531～534 を形成する。ここでは、蒸着装置により有機半導体材料であるペンタセンをメタルマスクを用いて、第 1 の電極、第 3 の絶縁膜、及び第 2 の電極が積層され、かつ第 1 の電極が露出している側面に成膜する。

【0108】

次に、図 8 に示すように、基板全面にゲート絶縁膜 541 に相当する第 4 の絶縁膜を形成したのち、ゲート電極 542、543 に相当する第 3 の導電膜を形成する。ここでは、嫌気雰囲気にてポリビニルアルコール（PVA）をスピナーにて塗布してゲート絶縁膜を形成し、次に、インクジェット法によりポリ（3，4－エチレンジオキシチيوفェン）（PEDOT）を滴下してゲート電極を形成する。なお、ゲート電極を形成するときは、少なくとも、第 3 の絶縁膜に接している半導体膜の領域に覆設させるように成膜する。

【0109】

次に、図 9 に示すように、基板全面に第 5 の絶縁膜 551 を形成する。ここでは、アクリル樹脂を塗布したのち、仮焼きして第 5 の絶縁膜を形成する。

【0110】

次に、第 5 の絶縁膜をエッチングして第 2 の電極（ドレイン電極）に接続するコンタクトホール 561～564 を形成する。ここでは、レジストマスクを形成し、ドライエッチング法により、第 5 の絶縁膜をエッチングして、コンタクトホールを形成する。次に、透明導電膜、ここでは酸化インジウム・スズ（ITO）膜を成膜した後、パターニングして画素電極 552～560 を形成する。

【0111】

以上の工程により、本発明を適応した液晶表示装置のアクティブマトリクス基板を形成することができる。なお、本実施例においては、画素電極に透明導電膜を用いて透過型表示装置用のアクティブマトリクス基板を作製する例を示したが、画素電極に反射性を有する材料膜を用いて反射型表示装置用のアクティブマトリクス基板を作製してもよい。また、画素部の作製工程しか述べなかったが、本発明は、駆動回路を構成する TFT にも適応することができる。このため、同一基板上に、画素部と駆動回路とを同時に本発明を用いて作製することができる。

【0 1 1 2】

また、本実施例のように、他の表示装置（E L 表示装置、電界放出表示装置等）のアクティブマトリクス基板に本発明の作製工程を適応することができる。さらに、本発明の作製工程を T F T で形成された I C チップ、すなわち T F T で形成された外付けの駆動回路、メモリー等の作製工程に適応することができる。

【0 1 1 3】

さらに、本実施例の T F T の構造は、実施の形態 1 の構造を適応しているが、他の構造（実施の形態 2 ～実施の形態 6）のような構造を適応することもできる。

【0 1 1 4】**【発明の効果】**

本発明により、絶縁膜と該絶縁膜を介して積層された導電膜の側面に活性領域を有する T F T を形成することができる。本発明で作製できる T F T は、導電膜で挟まれた絶縁膜の膜厚を制御することにより、チャネル長を制御することができる。このため、従来の工程と比較して、チャネル長の制御がしやすくなるため、従来の工程よりもチャネル長の短い薄膜トランジスタを作製することが容易である。すなわち、W/L 比を大きくすることが容易であるため、電圧電流特性を高めることができ、T F T の特性を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の T F T の構造の模式図。

【図 2】 本発明の T F T の構造の模式図。

【図 3】 本発明の T F T の構造の模式図。

【図 4】 本発明の T F T の構造の模式図。

【図 5】 本発明の T F T の作製工程を示す図。

【図 6】 本発明の T F T の作製工程を示す図。

【図 7】 本発明の T F T の作製工程を示す図。

【図 8】 本発明の T F T の作製工程を示す図。

【図 9】 本発明の T F T の作製工程を示す図。

【図 1 0】 T F T の電流電圧特性を示す図。

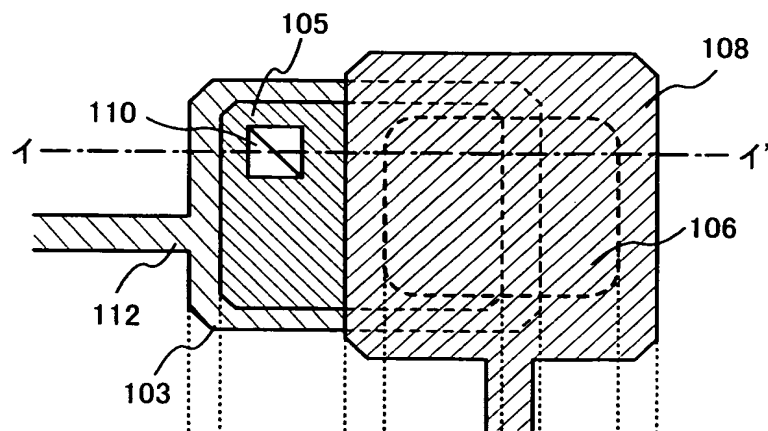
【図 1 1】 本発明の T F T の作製工程を示す図。

【図 1 2】 本発明の T F T の構造の模式図。

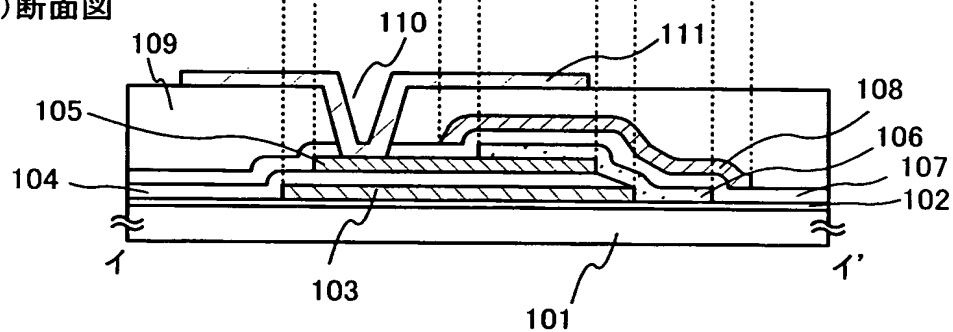
【書類名】 図面

【図 1】

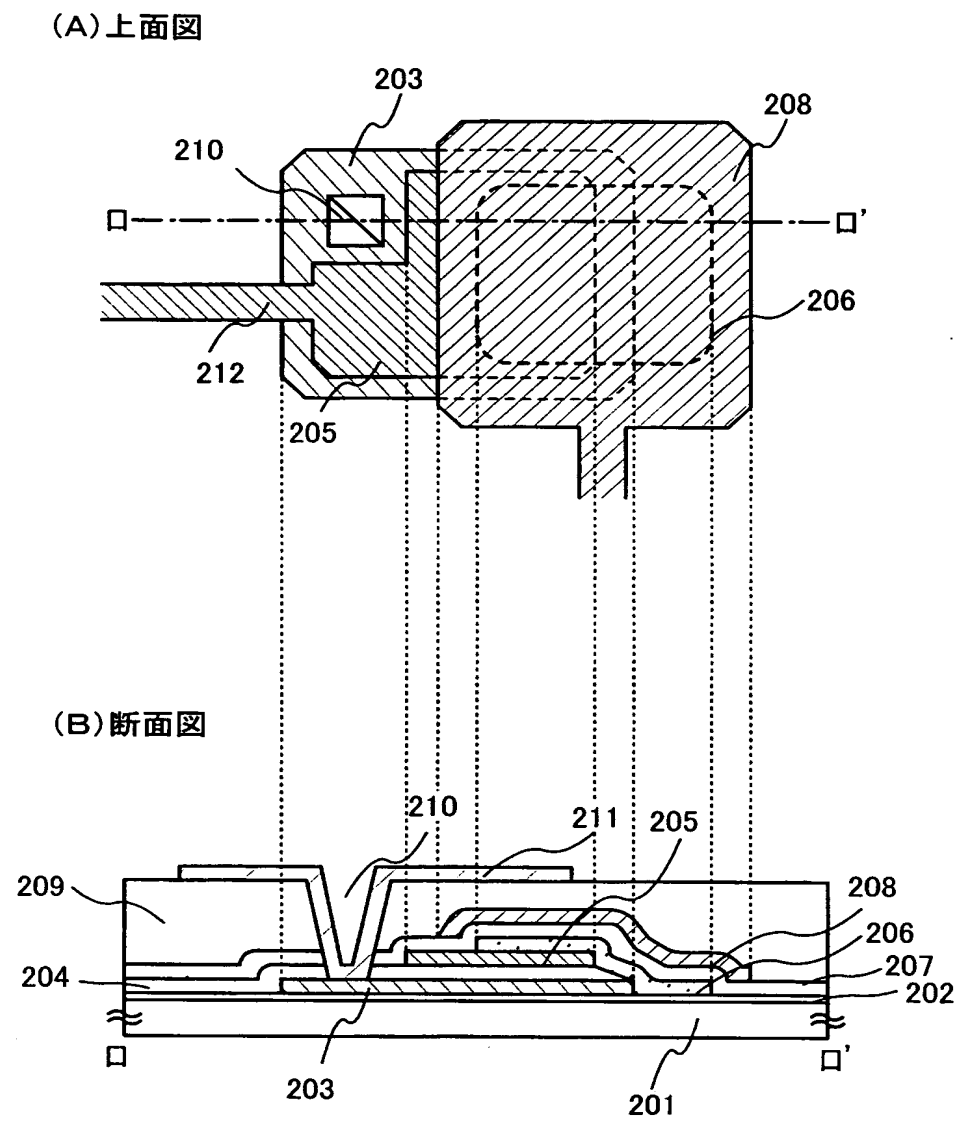
(A) 上面図



(B) 断面図

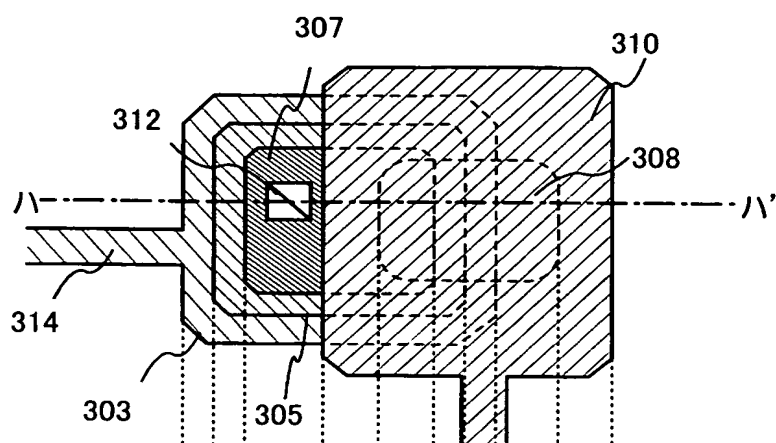


【図 2】

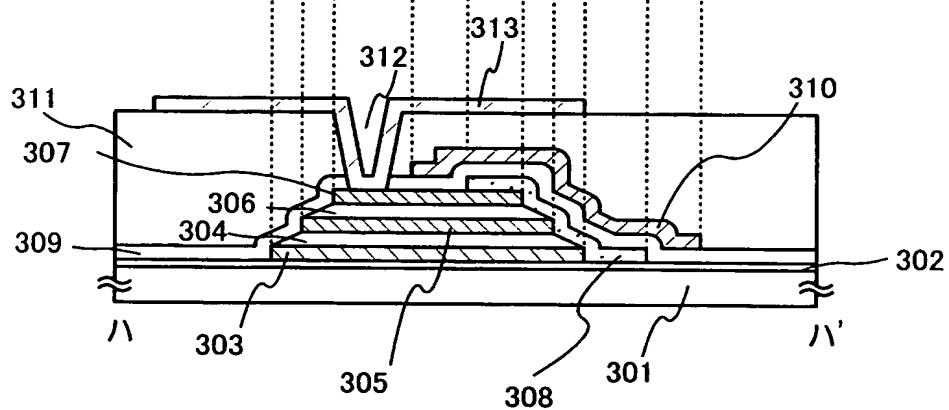


【図 3】

(A)上面図

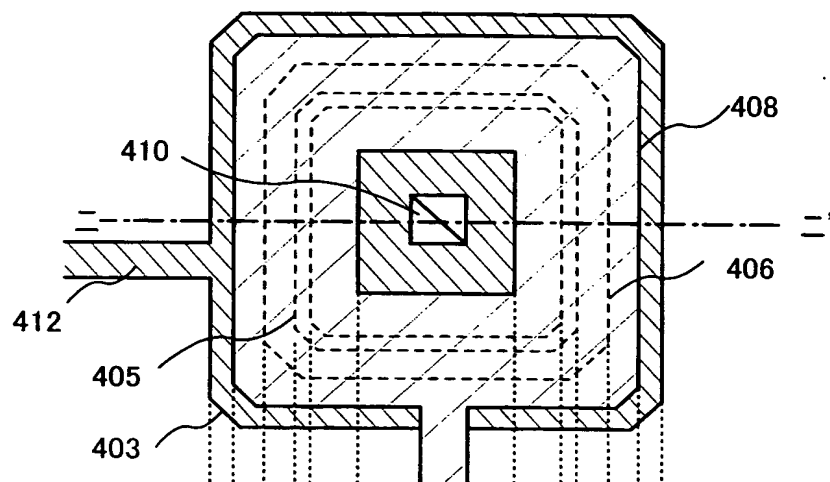


(B) 断面図

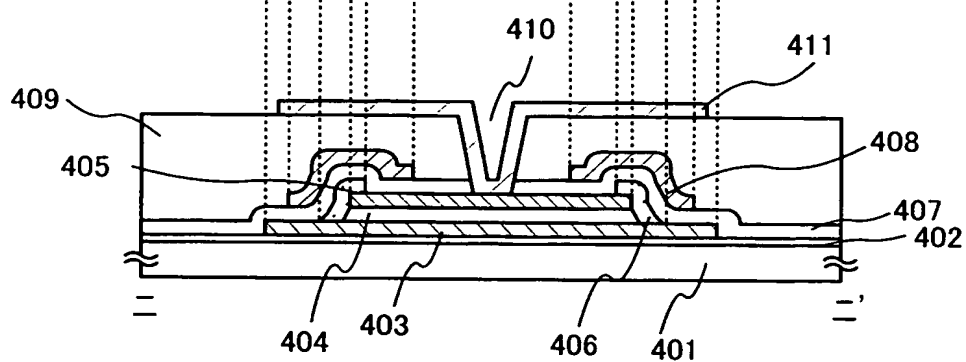


【図 4】

(A) 上面図

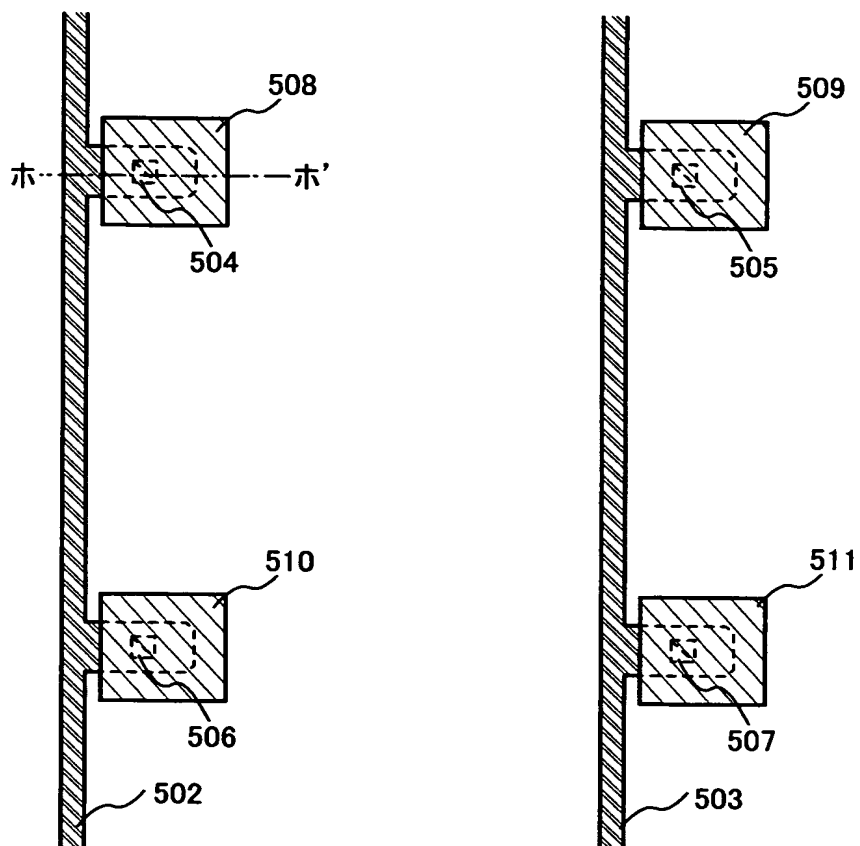


(B) 断面図

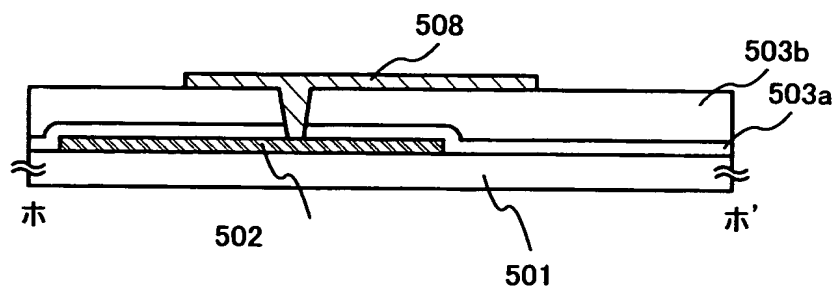


【図 5】

(A) 上面図

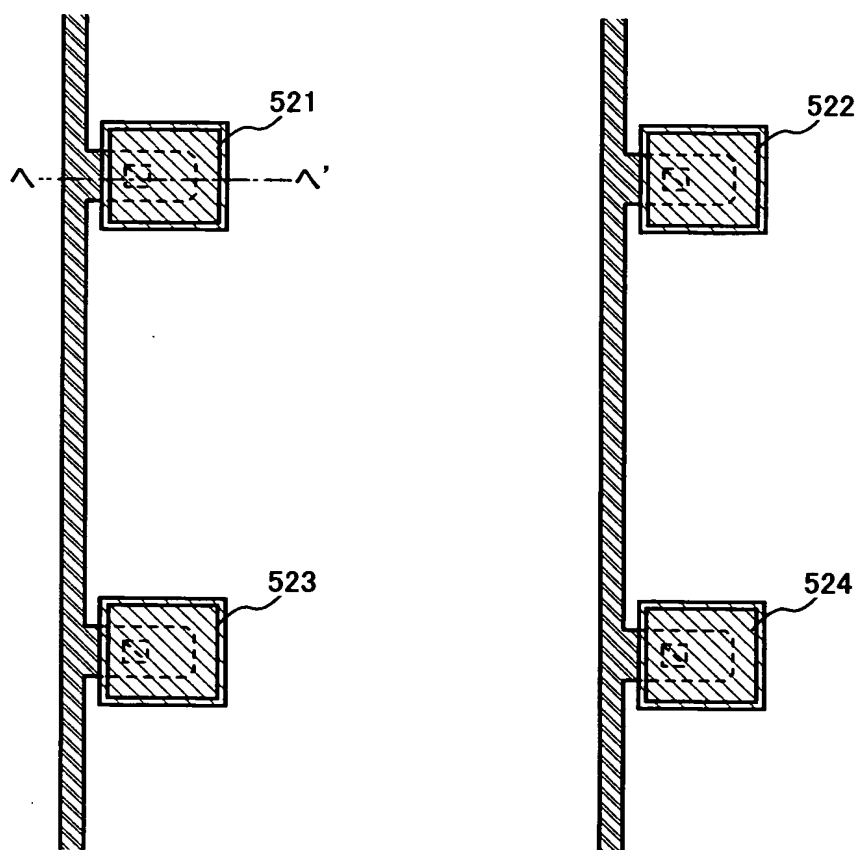


(B) 断面図

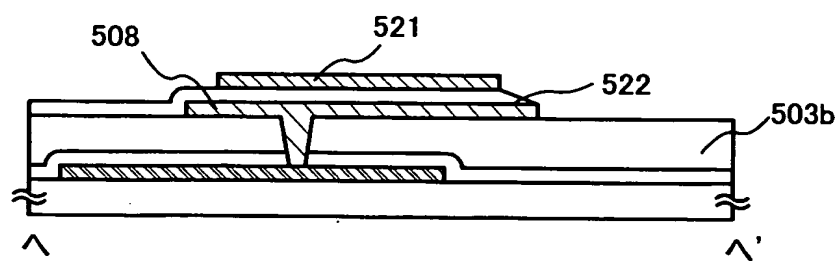


【図 6】

(A) 上面図

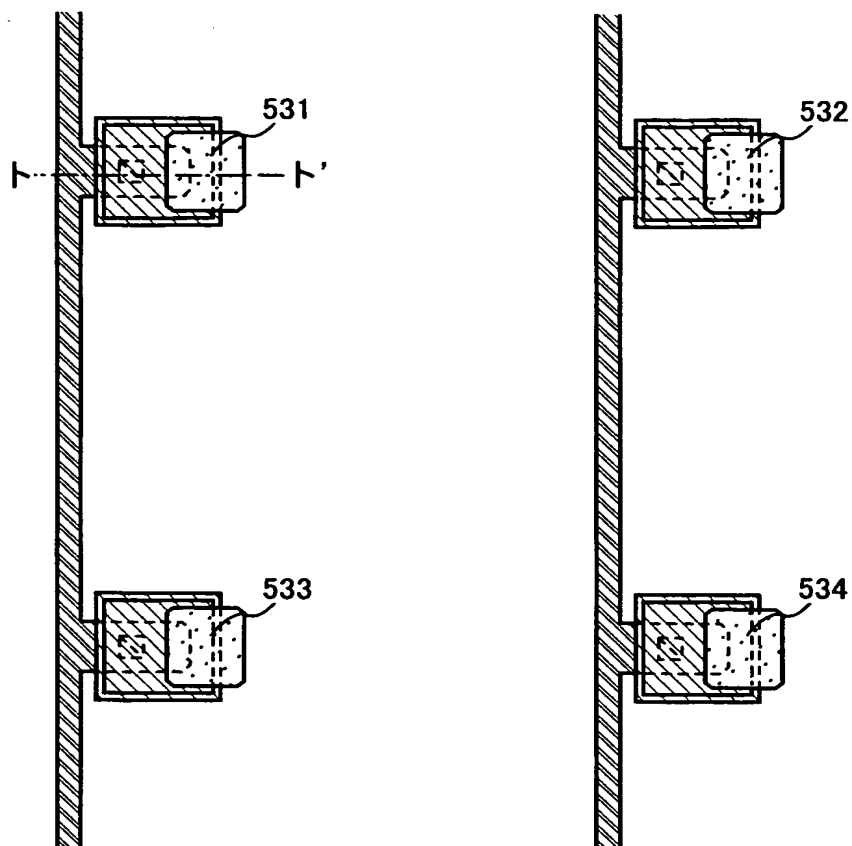


(B) 断面図

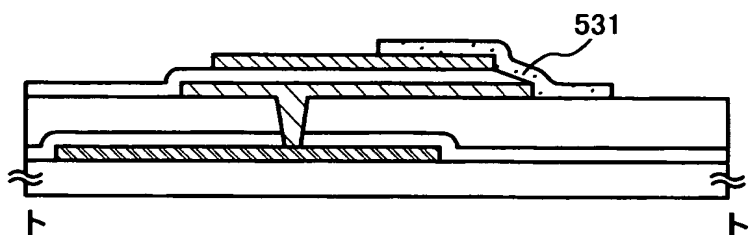


【図 7】

(A) 上面図

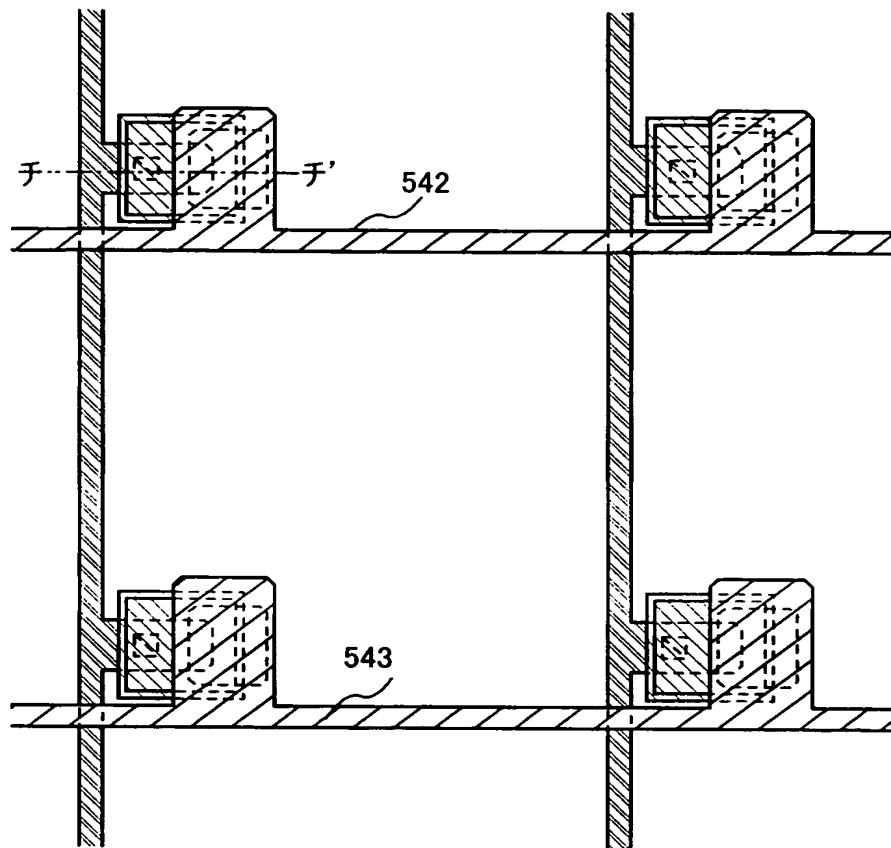


(B) 断面図

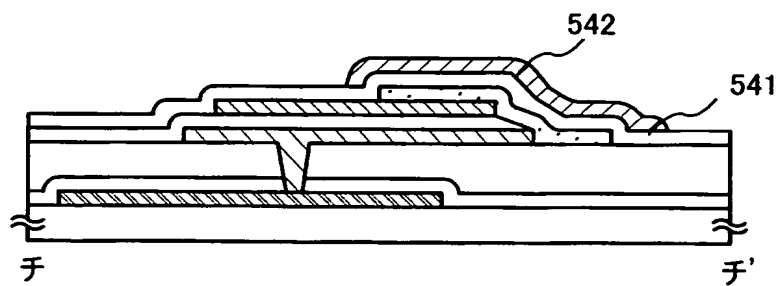


【図 8】

(A) 上面図

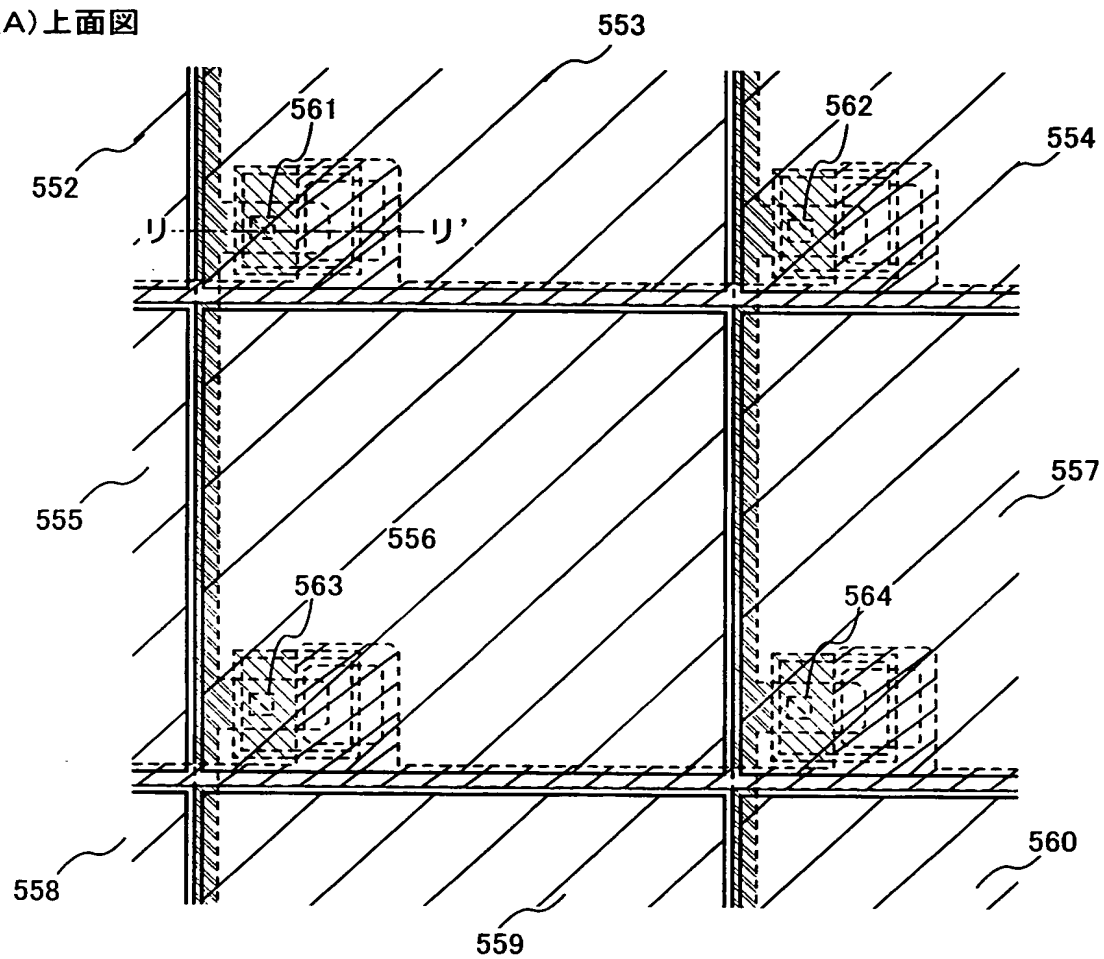


(B) 断面図

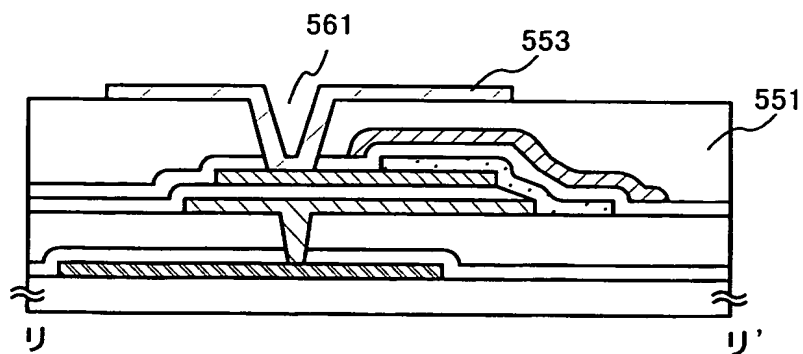


【図 9】

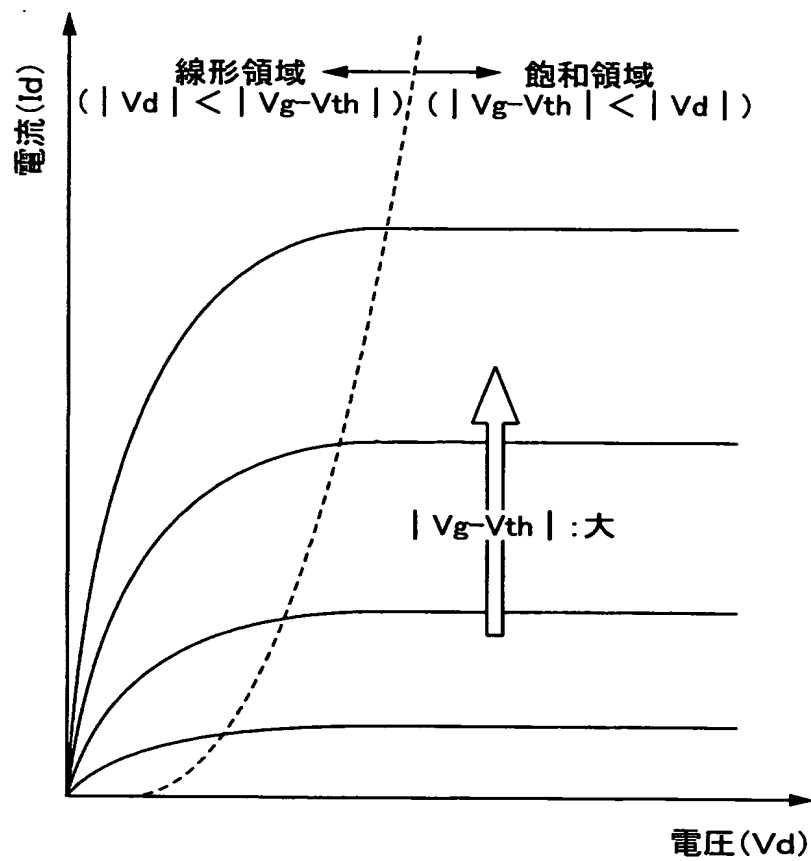
(A) 上面図



(B) 断面図

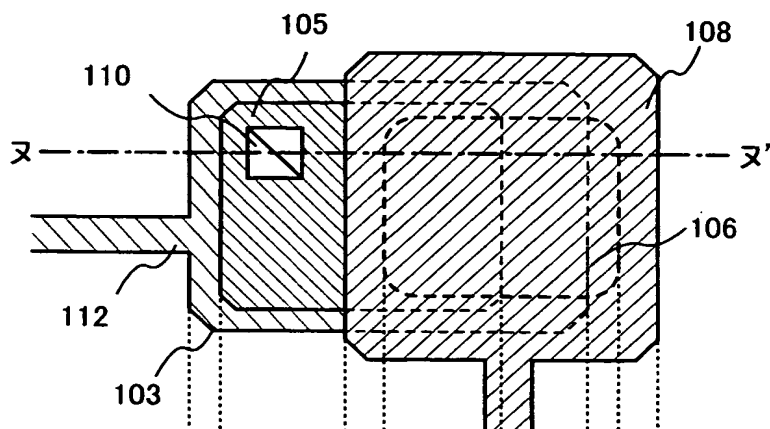


【図 10】

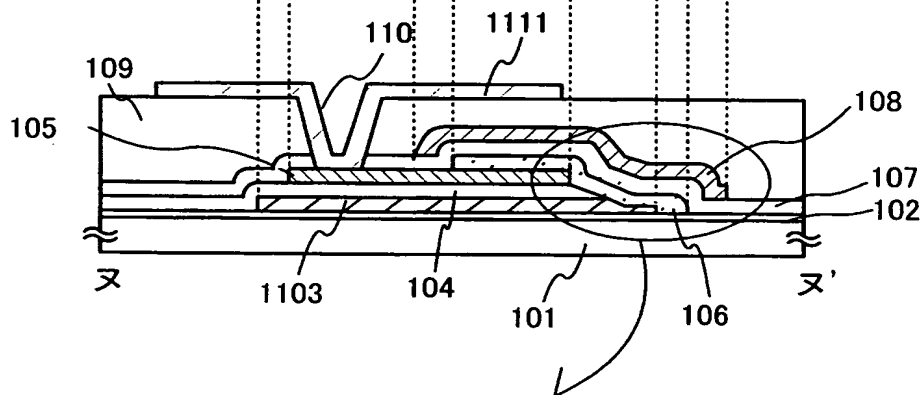


【图 1 1】

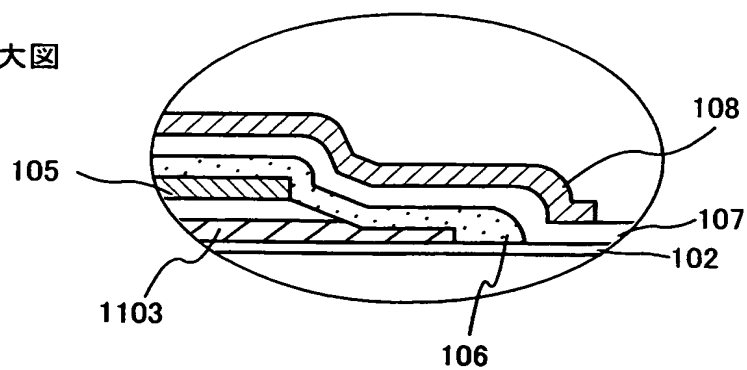
(A)上面図



(B) 断面図

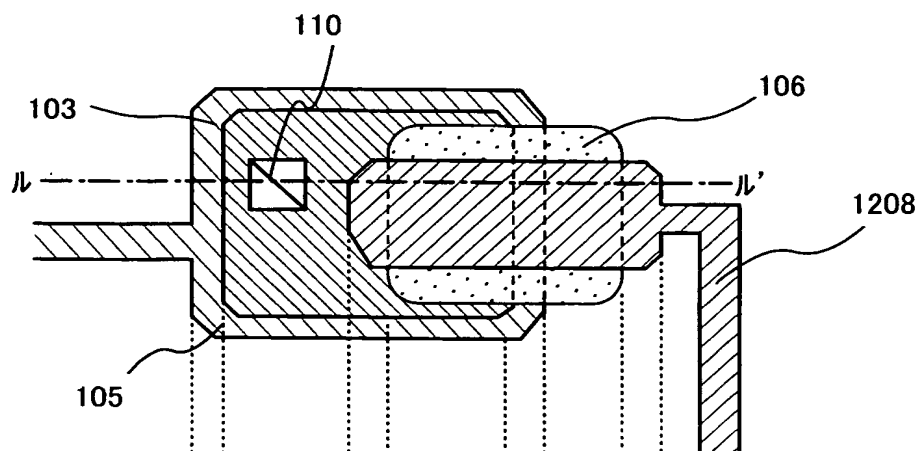


(C) 拡大図

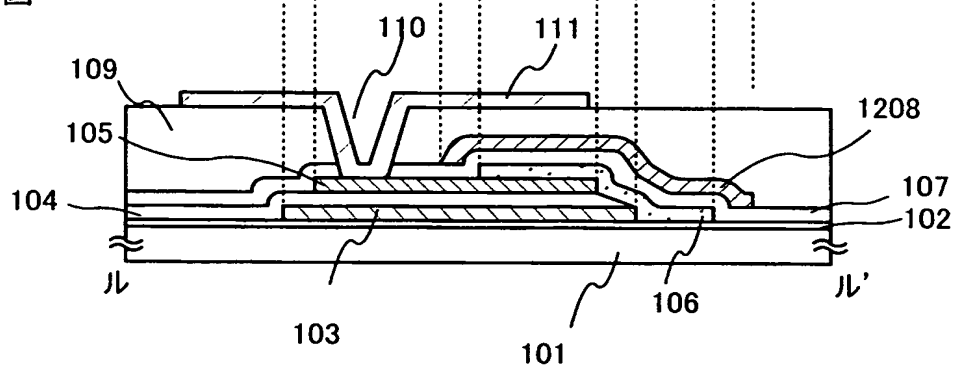


【図 12】

(A) 上面図



(B) 断面図



【書類名】 要約書

【要約】

【課題】

再現性高く T F T のチャネル長を制御することが可能な工程を提供する。また、チャネル長の短い T F T を作製することが可能な工程を提供する。さらには、電流電圧特性を向上させることが可能な T F T の構造を提供する。

【解決手段】

本発明は、絶縁表面上に第 1 の導電膜、第 1 の絶縁膜及び第 2 の導電膜とが順に積層される積層物と、該積層物の側面に接して形成される半導体膜と、第 2 の絶縁膜を介して半導体膜に覆設される第 3 の導電膜を有する薄膜トランジスタである。第 1 の導電膜及び第 2 の導電膜はソース電極及びドレイン電極であり、半導体膜において第 1 の絶縁膜及び第 3 の導電膜に接する部分はチャネル形成領域であり、第 3 の導電膜はゲート電極である。

【選択図】 図 1



特願 2 0 0 3 - 0 7 6 6 4 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所